

# 沟道宽度对 65nm 金属氧化物半导体器件负偏压温度不稳定性的影响研究

崔江维<sup>1</sup>, 郑齐文<sup>1</sup>, 余德昭<sup>2</sup>, 周航<sup>1,2</sup>, 苏丹丹<sup>1,2</sup>, 马腾<sup>1,2</sup>, 魏莹<sup>1</sup>, 余学峰<sup>1</sup>, 郭旗<sup>1</sup>

(1. 中国科学院特殊环境功能材料与器件重点实验室, 新疆电子信息材料与器件重点实验室, 中国科学院新疆理化技术研究所, 新疆乌鲁木齐 830011; 2. 中国科学院大学, 北京 100049)

**摘要:** 随着 MOS 器件尺寸缩小, 可靠性效应成为限制器件寿命的突出问题. PMOS 晶体管的负偏压温度不稳定性 (NBTI) 是其中关键问题之一. NBTI 效应与器件几何机构密切相关. 本文对不同宽长比的 65nm 工艺 PMOSFET 晶体管开展了 NBTI 试验研究. 获得了 NBTI 效应引起的参数退化与器件结构的依赖关系, 试验结果表明 65nm PMOSFET 的 NBTI 损伤随沟道宽度减小而增大. 通过缺陷电荷分析和仿真的方法, 从 NBTI 缺陷产生来源和位置的角度, 揭示了产生该结果的原因. 指出浅槽隔离 (STI) 区域的电场和缺陷电荷是导致该现象的主要原因. 研究结果为器件可靠性设计提供了参考.

**关键词:** 65nm; 负偏压温度不稳定性; 沟道宽度

**中图分类号:** TN386.1

**文献标识码:** A

**文章编号:** 0372-2112 (2018)05-1128-05

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2018.05.016

## Effect of Channel Width on NBTI in 65nm PMOSFET

CUI Jiang-wei<sup>1</sup>, ZHENG Qi-wen<sup>1</sup>, YU De-zhao<sup>2</sup>, ZHOU Hang<sup>1,2</sup>, SU Dan-dan<sup>1,2</sup>, MA Teng<sup>1,2</sup>, WEI Ying<sup>1</sup>, YU Xue-feng<sup>1</sup>, GUO Qi<sup>1</sup>

(1. The Key Laboratory of Functional Materials and Devices for Special Environments, Xinjiang Technical Institute of Physics and Chemistry, Chinese Academy of Sciences, Urumqi, Xinjiang 830011, China;

2. University of Chinese Academy of Science, Beijing 100049, China)

**Abstract:** As the size of MOS device shrinks, the reliability effect becomes a prominent problem that limits the lifetime of the device. Negative bias temperature instability (NBTI) of PMOSFET is one of the key issues. NBTI degradation is closely related to the device geometry. In this paper, we investigate the NBTI effect of 65nm PMOSFET. By experiment, we obtain the dependency of NBTI degradation on device structure, and find that the NBTI damage of 65nm PMOSFET in this paper increases with the decrease of the channel width. By the method of defect charge analysis and TCAD simulation, we reveal the reason on the experimental result from the point of view of defect generation source and position. It is pointed out that the electric field and the defect charge in the shallow trench isolation (STI) region are the main causes of this phenomenon. The results provide a reference for device reliability design.

**Key words:** 65nm; NBTI (Negative Bias Temperature Instability); channel width

## 1 引言

负偏压温度不稳定性 (Negative Bias Temperature Instability, NBTI) 是纳米 MOS 器件和集成电路最主要的可靠性问题之一<sup>[1,2]</sup>. 器件上施加的电压应力在较长时间或者高温加速作用下, 会产生陷阱电荷, 使器件的阈值电压漂移, 跨导降低, 亚阈摆幅增加, 并且退化幅度与

应力时间服从指数关系. 这些参数退化可能会导致模拟电路高精度晶体管对的失配, 从而影响电路的性能要求; 阈值的漂移影响数字逻辑的实现甚至产生逻辑错误; 漏电流下降影响驱动电路的驱动能力; 跨导的退化同样影响响应速度或者引起时序问题.

国内外非常重视纳米器件的 NBTI 效应研究, 开展

了较多的研究工作<sup>[3~9]</sup>. 已获得 NBTI 造成器件参数退化的现象, 但对其缺陷形成机制及详细过程依然存在争议. NBTI 效应有两种基本的退化模型: (1) 界面态相关的模型, 如最被广泛接受的反应扩散 (Reaction-Diffusion, RD) 模型, 认为硅-二氧化硅 (Si-SiO<sub>2</sub>) 界面的 Si-H 键在应力条件下被打破, 生成的 H (氢) 物质向氧化层中运输<sup>[3]</sup>; (2) 空穴俘获模型 (hole-trapping model), 包括导带价带载流子发生弹性隧穿等, 认为空穴通过隧穿进入氧化层, 被陷阱俘获和释放, 使得器件发生退化和恢复<sup>[4]</sup>.

在 NBTI 效应引起的参数退化中, 阈值电压  $V_{TH}$  漂移是最受关注的焦点, 有研究报道了其退化幅度与沟道长度的关系<sup>[10~14]</sup>. 结果显示, NBTI 效应引起的阈值电压变化会随着沟道长度  $L$  的减小而增加. 研究认为产生该现象的主要原因是, 与长沟道器件相比, 短沟器件的栅氧化层边缘所占的比重更大, 而这一区域往往具有更高的缺陷密度. 另外, 为了降低热载流子效应而采取的轻掺杂漏 (Lightly Doped Drain, LDD) 结构, 使得栅氧化层边缘处具有更高的空穴浓度, 也使得短沟器件更容易受到影响<sup>[12]</sup>. 与之对应的是, 除少量文献报道了深亚微米器件 NBTI 损伤与沟道宽度的关系<sup>[13,14]</sup>, 很少有报道纳米器件 NBTI 效应与沟道宽度  $W$  是否存在相关性. 基于以上背景, 本文以 65nm 工艺的 PMOSFET 为研究对象, 重点关注了 NBTI 效应在沟道宽度方向上的变化.

## 2 试验条件

试验样品为 65nm 工艺的体硅 PMOSFET (P 沟道金属氧化物半导体场效应晶体管). 样品的栅氧厚度为 1.8nm, 正常工作电压  $V_{DD}$  为 1.2V. 试验样品为封装器件, 一只封装的器件中包含有 4 种沟道宽长比 ( $W/L$ ) 的晶体管, 其  $W/L$  分别为  $10\mu\text{m}/0.06\mu\text{m}$ 、 $0.3\mu\text{m}/0.06\mu\text{m}$ 、 $10\mu\text{m}/0.3\mu\text{m}$ 、 $0.6\mu\text{m}/0.3\mu\text{m}$ . NBTI 试验温度为 400K, 栅极电压  $V_{Stress} = -2\text{V}$ , 其余端接地, 应力时间为 1000s.

参数测试时, 由于 NBTI 具有快速恢复的特性, 中断应力测试会使得部分退化恢复. 因此本试验中采用文献<sup>[15]</sup>中的方法, 只测量一个点  $V_{CM}$  处的电流  $I_{DLIN}$ , 通过  $I_{DLIN}$  的电流变化计算阈值电压漂移:

$$\Delta V_{TH} = \frac{\Delta I_{DLIN}}{I_{DLIN0}} \times (V_{CM} - V_{TH0}) \quad (1)$$

其中,  $V_{TH0}$  是在应力前扫描转移特性曲线, 通过最大跨导处线性外推得到的阈值电压,  $I_{DLIN0}$  是测量电压  $V_{CM}$  处的初始电流. 同时, 在应力前后扫描转移曲线.

为了尽量减小由于温度导致的误差, 首先在升温的过程中多次扫描转移特性曲线, 找到样品的零温度系数点, 并将应力间的测量电压  $V_{CM}$  设在零温度系数点

附近, 通过这种方法来避免温度引起的电流变化, 保证测试数据的精确性. 在多次测试时, 将每次的升温、降温时间都保持一致, 以此来保证多次试验的一致性. 试验期间的电参数测试以及 NBTI 应力在 Keithley 4200-SCS 半导体参数分析仪上完成. 在正式试验前, 首先对同一批次的 1 只器件进行摸底试验, 用来确定应力电压、测量电压、升温时间、降温时间等试验条件. 正式试验时, 选取同一批次的 3 只器件分别开展试验.



(a) 试验样品 (b) 测试系统

图1 试验示意图

试验样品和测试系统如图 1 所示. 其中, 图 1(a) 为被测器件, 采用 DIP48 封装, 内含不同宽长比的 PMOSFET. 图 1(b) 为测试系统, 图中左侧为添加高温应力的试验箱, 右侧为提供 NBT 应力和提供测试的半导体参数分析仪 Keithley 4200-SCS. 试验开始时, 将器件放入高温箱, 使用连接线将器件与半导体参数分析仪相连, 进行应力试验和测试.

## 3 试验结果

对试验样品进行 NBTI 试验前后均在室温下扫描了  $I_{DS}-V_{GS}$  曲线, 如图 2(a) 的  $W/L = 0.6\mu\text{m}/0.06\mu\text{m}$  器件试验结果所示, 器件的线性电流  $I_{DLIN}$  下降, 阈值电压  $V_{TH}$  负向漂移. 图 2(b) 是不同宽长比器件的阈值电压在应力期间随时间的变化, 基本满足对数关系.

表 1 为试验样品在 NBT 应力后的直流参数变化百分比. 首先, 用应力试验后的参数值减去参数初值, 得到参数变化值. 之后用参数变化值除以参数初值, 得到参数变化百分比. 对比不同宽长比的样品, 可以看出窄沟样品几乎所有参数的退化都比宽沟道样品更大. 这一现象与国外已报道的微米级 PMOSFET 的表现截然相反<sup>[13]</sup>. 3 次试验中的 3 只器件均表现出一致的参数变化趋势.

表 1 65nm 样品 1000s 应力后室温下直流参数变化百分比

$W/L$ ( $\mu\text{m}/\mu\text{m}$ )	10/0.06	0.6/0.06	10/0.3	0.6/0.3
阈值 $V_{TH}$	2.26%	5.68%	2.30%	3.38%
线性电流 $I_{DLIN}$	4.07%	6.37%	3.39%	4.39%
饱和电流 $I_{DSAT}$	4.54%	6.61%	5.15%	6.53%
最大跨导 $G_{mmax}$	2.83%	2.27%	2.46%	2.05%

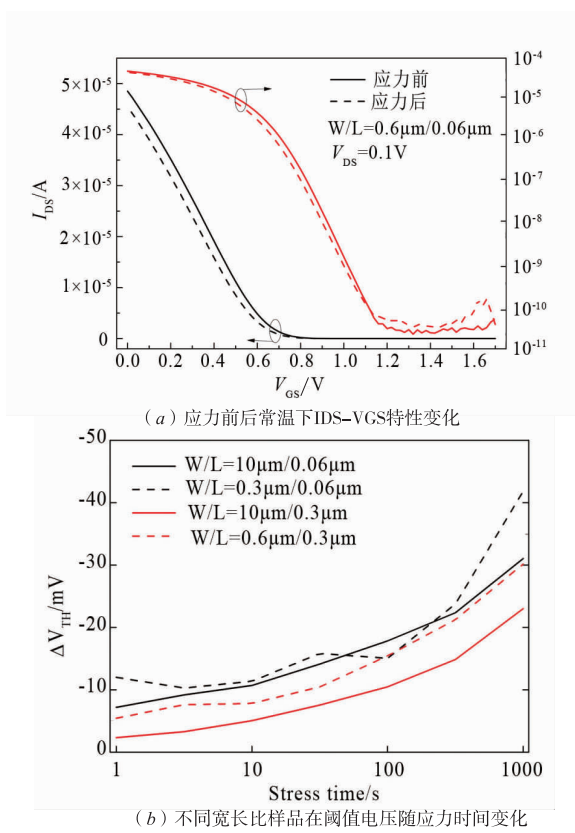


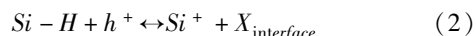
图2 65nm样品NBTI试验

## 4 讨论

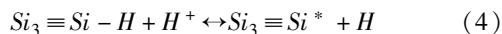
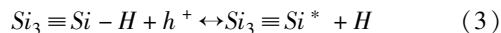
### 4.1 缺陷作用分析

缺陷的存在是纳米器件可靠性效应引起参数退化的原因. NBTI 效应引起器件参数退化的主要原因是应力导致了缺陷的产生,从而使器件参数随时间呈现出稳定性. 根据已有研究, NBTI 退化主要源于界面处 Si-H 键发生断裂而产生界面陷阱的过程,此外栅氧化层陷阱的空穴俘获机制也是 NBTI 效应的另一个重要来源.

在以 SiO<sub>2</sub> 或高 K 材料作为栅介质层的技术中,氧化层衬底界面存在着 Si-O 键和 Si-H 键. 由于 Si-O 键具有较高的激活能因而需要与携带高能的载流子反应才可发生断裂,而 Si-H 键只要在靠近界面的冷空穴的辅助下就可以发生断裂反应. Si-H 键在高温和电场应力条件下就可以发生断裂,从而形成界面陷阱<sup>[3]</sup>,进而使器件参数发生退化. R-D 模型认为在 NBTI 退化过程中 Si-SiO<sub>2</sub> 界面处发生了电化学反应,使得原本不具备电学活性的钝化 Si-H 键发生断裂生成界面陷阱和可自由移动的氢物质:



可能的反应包括空穴辅助断裂和掺杂激活断裂<sup>[16,17]</sup>:



另一方面,在靠近界面的氧化层中存在着氧化物陷阱 E' 中心,可以克服势垒形成氧空位结构,势垒的高度以及 E' 中心的稳定性则与其所处的网状结构相关. E' 中心在氧化层的热生长过程中形成,其能级位于禁带的中部,因而它们的作用类似于空穴陷阱,可以俘获从反型层而来的空穴. 对于 NBTI 效应来说,氧化物陷阱曾被认为是阈值电压不稳定的根源,随着 MOSFET 中氮元素的引入,该观点也被更多的地用以解释 NBTI 应力下阈值电压的退化. 部分 E' 中心可以与 Si-SiO<sub>2</sub> 界面反复交换电荷,引起参数的退化与愈合.

温度和电场是 NBTI 效应中缺陷产生的重要条件. 在固定温度下,电场对 Si-H 键的断裂和氧化物中电荷的捕获非常重要,高电场更易于产生陷阱电荷. 下文将通过电场产生位置及电场大小来分析 NBTI 的窄沟增强效应.

### 4.2 NBTI 退化随沟道宽度变化的原因

在纳米 MOS 器件中存在两个主要的氧化层,即栅氧化层和浅槽隔离 (Shallow Trench Isolation, STI) 氧化层. 在对试验样品施加 NBT 应力时,不仅栅氧化物中会产生电场,STI 也会受到电场的影响. 由于试验时栅端施加了高于正常工作电压的应力,在该应力条件下,栅氧化层下的沟道远比普通强反型状态聚集了更多的空穴. 这些空穴的存在屏蔽了来自沟道上方的部分电场影响. 而 STI 上方电场无法屏蔽,使得 STI 与反型层界面也存在一定应力. NBTI 效应作用位置,除了垂直电场影响的栅氧化层,沟道指向 STI 界面方向也存在电场影响 STI 区域.

图 3(a) 为 TCAD 仿真工具构建的器件结构. 图 3(b) 模拟了沟道指向 STI 方向的电场,可以看出水平方向电场在很大的 STI 界面区域上都存在,而且越靠近栅氧的区域电场越强. 尽管与栅氧相比这一区域的电场强度较小,但是 STI 与栅氧不同,氧化层质量较差,缺陷密度也更高,甚至有研究报道 STI 产生的机械应力会导致 STI 边缘处产生更多的界面陷阱. 尤其需要关注的是在 LDD 与 STI 接触的四个边角,因为其空穴浓度比沟道中心更大,四个边角位置的 NBTI 损伤都更大. 与之相反的是,由于 STI 的存在,由沟道指向栅氧层的电场,在靠近 STI 区域比中间位置更小,也有报道认为栅氧靠近 STI 位置的厚度增加,是造成这一现象的原因<sup>[17]</sup>. 但是在我们的仿真中,栅氧的厚度是均匀的,仍然有同样的现象,如图 3(c) 所示.

这或许可以解释文献[8]中与我们实验所获得的不同结果. 文献[8]中的器件的栅氧厚度为 3.5nm,沟道长度为 0.18μm,沟道宽度分别为 30μm、10μm、5μm、

1  $\mu\text{m}$ . 器件栅面积足够大,  $W$  的减小不足以使四个边角的比重获得大幅提高, 反而使得栅氧上弱电场区域比重增加, 此时 NBTI 的退化变小; 本文中 65nm 器件的栅氧厚度为 2.6nm, 最小沟道长度仅为 0.06  $\mu\text{m}$ , 沟道宽度分别为 10  $\mu\text{m}$ 、0.6  $\mu\text{m}$ 、0.3  $\mu\text{m}$ . 器件本身栅氧面积较小,

边角的比重随着  $W$  的减小迅速增加, 其作用超过了栅氧上弱电场区域, 所以退化更大, 从而使得在相同 NBTI 应力下, 相同沟道长度的窄沟器件产生的参数退化更大.

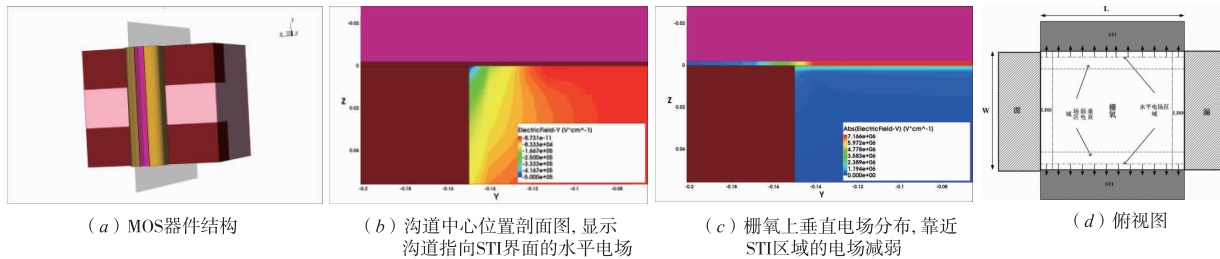


图3

## 5 结论

随着 MOS 器件特征尺寸缩小至纳米级, NBTI 成为影响器件可靠性的重要问题之一. 为了研究器件结构对 NBTI 退化的影响, 本文开展了不同宽长比的 65nm 工艺 PMOSFET 的 NBTI 效应研究. 试验结果表明, 窄沟器件几乎所有的 NBTI 参数退化都要大于宽沟器件, 这与国外已报道的微米级器件的现象相反. 通过缺陷分析和 TCAD 仿真的方法, 分析了产生这一现象的原因. 认为 STI 区域对器件 NBTI 效应有重要影响. 由于纳米器件栅氧面积小, 边角的比重随着沟道宽度的减小迅速增加, 其作用超过了栅氧上的弱电场区域, 因而引起更大的退化. 研究结果为器件可靠性设计提供一定的参考.

## 参考文献

- [1] Mahapatra S, Alam M A, Bharath K P, et al. Negative bias temperature instability in CMOS device[J]. *Microelectronic Engineering*, 2005, 80(17): 114–121.
- [2] 郝跃, 刘红侠. 微纳米 MOS 器件可靠性与失效机理[M]. 北京: 科学出版社, 2008. 1–18.
- [3] Huard V, Denais M, Parthasarathy C. NBTI degradation: From physical mechanisms to modeling[J]. *Microelectronics Reliability*, 2006, 46: 1–23.
- [4] S Mahapatra, N Goel, S Desai, et al. A comparative study of different physics-based NBTI models[J]. *IEEE Transactions Electron Devoces*, 2013, 60(3): 901–916.
- [5] 张月. PMOSFET 器件 NBTI 效应的物理机制与模型研究[D]. 西安: 西安电子科技大学, 2014.  
Zhang Y. A study on NBTI effect mechanism and modeling with PMOSFET devices [D]. XiAn: Xidian University, 2014. (in Chinese)
- [6] Cao Yan-rong, Yang Yi, Cao Cheng, He Wen-long, et al. Recovery of PMOSFET NBTI under different conditions

[J]. *Chinese Physics B*, 2015, 24(9): 097304–1–5.

- [7] 张城绪. 小尺寸 pMOSFET 器件的 NBTI 寿命预测方法研究[D]. 南京: 南京大学, 2016.  
Zhang X C. Study on NBTI Lifetime Prediction Method of Deeply Scaled pMOSFET Devices [M]. Nanjing: Nanjing University, 2016. (in Chinese)
- [8] Subrat Mishra, Hiu Yung Wong, Ravi Tiwari, et al. Predictive TCAD for NBTI stress-recovery in various device architectures and channel materials[A]. 2017 IEEE International Reliability Physics Symposium (IRPS) [C]. Monterey, CA, USA: IEEE press, 2017. 6A–3.1–6A–3.8.
- [9] Theano A. Karatsori, Christoforos G, Theodorou. Characterization and modeling of NBTI in nanoscale ultra thin body ultrathin box FD-SOI MOSFETs[J]. *IEEE Transactions on Electron Devices*, 2016, 63(12): 4913–4918.
- [10] 曹建民, 贺威, 黄思文, 张旭琳. pMOS 器件直流应力负偏置温度不稳定性效应随器件基本参数变化的分析[J]. *物理学报*, 2012, 61(21): 217305–1–8.  
Cao J M, He W, Huang S W, Zhang X L. Dependence of the DC stress negative bias temperature instability effect on basic device parameters in pMOSFET[J]. *Acta Physica Sinica*, 2012, 61(21): 217305–1–8. (in Chinese)
- [11] Toyoji Yamamoto, Ken'ichi Uwasawa, tohru mogami. Bias temperature instability in scaled p+ polysilicon gate p-MOSFET's [J]. *IEEE Transactions Electron Devices*, 1999, 46(5): 921–926.
- [12] Lei Jin, Mingzhen Xu. Effect of channel length on NBTI in sub-100nm CMOS technology[A]. 2008 2nd IEEE International Nanoelectronics Conference [C]. Shanghai, China: IEEE Conference Publications, 2008. 597–600.
- [13] G Cellere, M G Valentini, A Paccagnella. Effect of channel width, length, and latent damage on NBTI[A]. 2004 IEEE International Conference on Integrated Circuit Design and Technology [C]. Austin, TX, USA: IEEE, 2004. 303–306.

- [14] CAO Yan-Rong, MA Xiao-Hua, HAO Yue, et al. Effect of channel length and width on NBTI in ultra deep sub-micron PMOSFETs [J]. Chinese Physics Letters, 2010, 27(3):037301-1-4.
- [15] Schroder D K, Babcock J A. Negative bias temperature instability: road to cross in deep submicron silicon semiconductor manufacturing [J]. Journal of Applied Physics, 2003, 94(1):1-18.
- [16] S Chakravarthi, A Krishnan, V Reddy, et al. A comprehensive framework for predictive modeling of negative bias temperature instability [A]. In International Reliability Physics Symposium (IRPS) [C]. Phoenix, AZ, USA: Reliability Physics Symposium Proceedings, 2004. 42nd Annual. 2004 IEEE International, 2004. 273-282.
- [17] S N Rashkeev, D M Fleetwood, R D Schrimpf, et al. Defect generation by hydrogen at the Si-SiO<sub>2</sub> interface [J]. Physical Review Letters. 2002, 87(16):165506.

#### 作者简介



**崔江维** 女,河北石家庄人。微电子学与固体电子学博士,现为中国科学院新疆理化技术研究所副研究员.主要从事半导体材料和器件的辐射效应和可靠性研究.

E-mail: cuijw@ms.xjb.ac.cn



**郑齐文(通信作者)** 男,山东济宁人。微电子学与固体电子学博士,现为中国科学院新疆理化技术研究所助理研究员.主要研究方向为大规模集成电路测试、辐射效应、可靠性.

E-mail: qwzheng@ms.xjb.ac.cn